

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-239640

(43)Date of publication of application : 24.10.1986

(51)Int. Cl.

H01L 21/76

(21)Application number : 60-080811

(71)Applicant : NEC CORP

(22)Date of filing : 16.04.1985

(72)Inventor : MATSUMOTO NAOYA

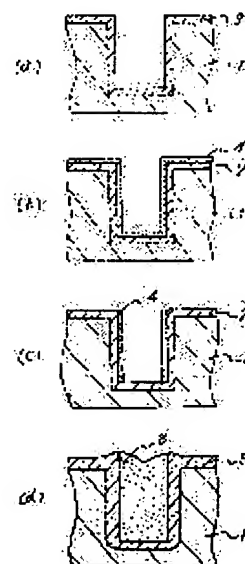
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To relax the stress to apply to each element region in the vicinity of the intersecting line of the side surface and the bottom surface of each groove by a method wherein the grooves are bored in the surface of the semiconductor substrate, an insulating film is adhered on the side surfaces and the bottom surfaces of these grooves and when the grooves are used as the element isolation regions by burying a polycrystalline Si film in the grooves, the insulating film on the side surfaces is kept thicker than one on the bottom surfaces.

CONSTITUTION: A photo resist is formed on the surface of an Si substrate 1 in the prescribed configuration, an anisotropic etching is performed, using the photo resist as a mask and the number of the desired pieces of grooves for element isolation are bored. Then, an SiO₂ film of 1,500Å or thereabouts in thickness is

adhered on the whole surface including these grooves and a polycrystalline Si film 4, wherein P of a content of 3,000ppm or thereabouts is being diffused, is laminated thereon. After that, the film 4 is made to remain only on the film 2 on the sidewall of each groove and the other parts thereof are removed by performing an anisotropic etching and the film 4 is turned into an SiO₂ film according to vapor oxidation of 950°C and is made to combine into the film 2. By such a way, only the SiO₂ film on the sidewall of each groove is made to augment its thickness, and moreover, a polycrystalline Si film 8 is buried in the opening grooves. As a result, the surface of the substrate is flattened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-239640

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月24日

H 01-L 21/76

M-7131-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-80811

⑰ 出 願 昭60(1985)4月16日

⑱ 発 明 者 松 本 直 哉 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板の一主面に膜が形成され、前記膜の側面および底面に絶縁膜が形成され、前記絶縁膜を含む前記膜が多結晶シリコンで埋設された素子分離領域において、膜の側面の絶縁膜厚が膜の底面の絶縁膜よりも厚いことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の素子分離領域の構造に関し、特に多結晶シリコンで埋設された膜を有する構造に関する。

〔従来の技術〕

従来、この種の絶縁分離領域の構造として例え

ば第3図に示す構造が知られている。この構造はシリコン基板10に膜が形成され、膜の側面および底面に3000~6000Åの膜厚のシリコン酸化膜50が形成され、さらに膜は多結晶シリコン80で埋設されてシリコン基板表面が平坦化されている。

〔発明が解決しようとする問題点〕

上述した従来の絶縁分離領域の構造では、膜の側面と底面のなす角度はほぼ90°と鋭いにもかかわらず、側面の酸化膜厚と底面の酸化膜厚は同じであり、かつ3000~6000Åと比較的厚いものであるため、側面と底面とが接する部分100でシリコン酸化膜形成時においてシリコン基板10に強い圧力がかかり、素子領域にも応力の影響により結晶欠陥が誘起されるという欠点がある。

また従来構造でシリコン酸化膜50の膜厚を薄くする(500Å程度)と素子領域に与える応力は非常に小さくなるが、シリコン酸化膜が薄いため素子分離領域間の容量が増え、スイッチング速度の遅延などの問題が生ずる。

〔問題点を解決するための手段〕

本発明の半導体装置は、半導体基板の一主面に層が形成され、前記層の側面および底面に絶縁膜（2層以上の場合も含む）が形成され、前記絶縁膜を含む前記層が多結晶シリコンで埋設された素子分離領域において、層の側面の絶縁膜厚（2層以上の場合は合計の膜厚）が層の底面の絶縁膜厚（2層以上の場合は合計の膜厚）よりも厚いことを特徴としている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)は本発明の一実施例の縦断面図である。シリコン基板1の表面に垂直な溝が形成され、溝の側面および底面にシリコン酸化膜5が形成されている。溝の側面のシリコン酸化膜の膜厚は溝の底面のシリコン酸化膜の膜厚よりも厚くなっており、溝の残りの部分は多結晶シリコン6で埋設されてシリコン基板表面は平坦化された構造になっている。

第1図(b)は本発明の他の実施例の縦断面図である。シリコン基板1の表面に垂直な溝が形成され、

- 3 -

多結晶シリコン4をすべて除去する（第2図(c)）。

次に950℃でスチーム酸化を15分間行なう。すると溝の側面のリンドープ多結晶シリコン4は増速酸化によりすべてシリコン酸化膜となり膜厚が2000Åのシリコン酸化膜が得られる。溝の側面の酸化膜厚は合計3500Åとなる。一方、溝の底面はシリコン酸化膜を通して拡散した酸素による酸化なので酸化速度が遅く2000Åの膜厚のシリコン酸化膜が形成される。その後、残っている溝を多結晶シリコン6で埋設し、エッチバック技術によりシリコン基板表面の平坦化を行ない本発明の一実施例である第1図(a)の構造を得る（第2図(d)）。

ここでシリコン酸化膜2をさらに薄くし、リンドープ多結晶シリコン4はさらに厚くした方が、溝の側面と溝の底面とに形成されるシリコン酸化膜の膜厚比が大きくなり、素子領域に与える応力は小さくなるので有利である。ところがシリコン酸化膜2の膜厚を500Å程度にした場合には、リンドープ多結晶シリコン4を酸化する際にリン

溝の側面はシリコン酸化膜2'とシリコン酸化膜3とシリコン酸化膜7が堆積されているが溝の底面はシリコン酸化膜8のみで形成されている。溝の側面にある堆積されたシリコン酸化膜2'および7とシリコン酸化膜3の膜厚の和は溝の底面のシリコン酸化膜8の膜厚よりも厚くなっている。溝の残りの部分は多結晶シリコン8で埋設されてシリコン基板表面は平坦化されている。

第2図(e)~(h)は第1図(a)の一実施例の構造を説明する工程順の縦断面図である。

まずシリコン基板1上に所定形状のフォトリソストを形成し、これをマスクにして異方性エッチングを行ない溝を形成した後、溝をふくむシリコン基板表面にシリコン酸化膜2を1500Åの膜厚に形成する（第2図(e)）。

次に多結晶シリコン膜を1000Åの膜厚に形成し、続いてシリコン原子に対してリン原子を3000ppm程度拡散シリンドープ多結晶シリコン膜4を得る（第2図(f)）。

次に異方性エッチングにより、溝の側面以外の

- 4 -

が素子領域まで拡散してしまい、素子特性への悪影響および素子分離領域としての機能の低下などの信頼性の問題が生ずる。

かかる不都合を解消するために考えられたのが第1図(a)の実施例の構造であり、溝の側面にあるシリコン酸化膜がリンの拡散を阻止するマスク作用をするので上記問題点が解決される。この構造は第2図(e)の膜厚1500Åのシリコン酸化膜2を、膜厚500Åのシリコン酸化膜2'上に膜厚1000Åのシリコン酸化膜3を堆積した構造を用いることによって、第2図(e)以降と同じ製造工程で実現することができる。溝の側面の絶縁膜厚の和は3500Åとなり溝の底面の絶縁膜厚は1000Åとなり、多結晶シリコン6を埋設して平坦化を行えば本発明の他の実施例である第1図(b)の構造を得る。

また、ここでシリコン酸化膜3の膜厚を1000Åとしたのは、シリコン酸化膜を厚くしすぎるとシリコン酸化膜2'との間の応力が大きくなるためと、静電率がシリコン酸化膜より高いため発生

- 5 -

容量が大きくなるためであり、逆に膜厚が薄すぎるとリンの拡散を阻止するマスクとならないためである。

【発明の効果】

以上説明したように本発明は、溝の側面の絶縁膜の膜厚を溝の底面の絶縁膜の膜厚よりも厚くしている。これによって溝の側面と底面との交角付近で素子領域へ与える応力をやわらげ、製品の歩留りを向上させる効果がある。また溝の底面積は側面積よりも小さいので溝の底面に薄い酸化膜を使うことによって素子領域間の寄生容量はそれほど増加しない。

1, 10……シリコン基板、2, 2', 5, 6, 7, 50……シリコン酸化膜、3……シリコン窒化膜、4……リンドープ多結晶シリコン、8, 80……多結晶シリコン、100……ストレスがかかる部分。

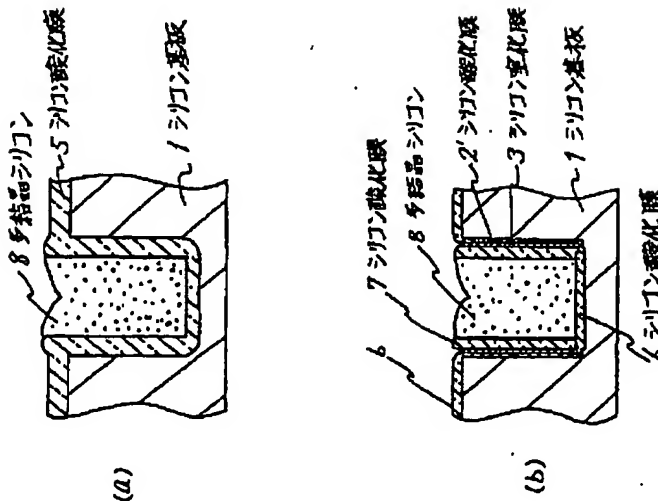
代理人 弁護士 内 原 賢

4. 図面の簡単な説明

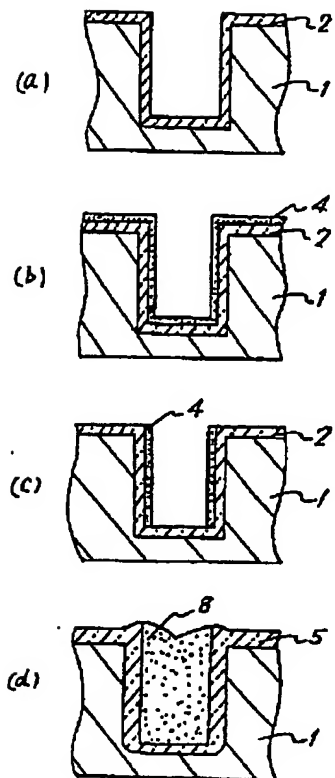
第1図(a)は本発明の一実施例を示す半導体装置の断面図、第1図(b)は本発明の他の実施例を示す半導体装置の縦断面図、第2図(a)~(d)は本発明の一実施例の半導体装置の製造方法を説明するための工程順の縦断面図、第3図は従来の半導体装置の縦断面図。

- 7 -

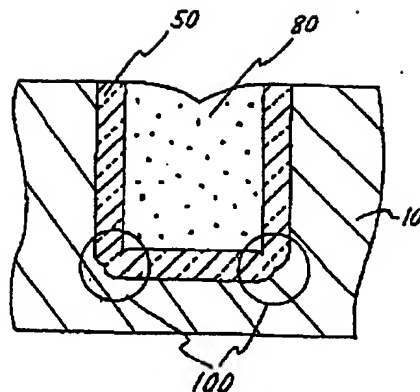
- 8 -



第 1 図



第 2 圖



第 3 圖